

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(11) 日本国特許庁 (JP)

## 公開特許公報 (A)

(11) 特開公報

特開平7-312405

(10) 公開日 平成7年(1995)11月26日

(31) 1st.C.	実用記号	序文登録番号	FI	特許表示図
HOIL 23/50	S			
21/60	311	6 8618-08		
21/221				
23/78		A 8617-08 B 8617-08		

審査請求 本願文 請求項の範囲 OL (全5頁) 並列頁に記入

(11) 出願番号 特願平6-102369	(11) 出願人 000006108 株式会社日立製作所 東京都千代田区麹町四丁目6番地
(12) 出願日 平成6年(1994)5月17日	(12) 出願人 000233169 株式会社日立マイコンシステム 東京都小平市上木本町5丁目22番1号
	(12) 見明者 佐々木 先一 東京都小平市上木本町5丁目20番1号 株式会社日立製作所半導体事業部内
	(12) 見明者 田中 俊文 東京都小平市上木本町5丁目22番1号 株式会社日立マイコンシステム内
	(14) 代理人 井辻士 佐々木 敏昌 通社頁に記入

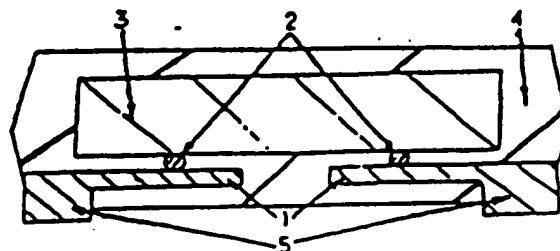
(50) [発明の名前] 半導体装置

## (52) [要約]

(目的) 半導体装置の基板面上における実装密度を向上すること。

(構成) 半導体チップとそれに電気的に接続された内部リードを斜面で封止した半導体装置であって、封止半導体装置の封止部側面の底部もしくは、上部から内部リードの一端を突出させる。

図1



## 【特徴の説明】

【説明1】 キズはチップとそれに電気的に印加された内蔵リードを駆動で制止した半導体装置であって、内蔵半導体装置の制止駆動部の底面もしくは、上面から内蔵リードの一端を突出させることを特徴とする半導体装置。

【説明2】 内蔵半導体装置はチップと内蔵リードとはパンプを介して電気的接続して成ることを特徴とする説明1に記載の半導体装置。

【説明3】 本発明はチップとそれに電気的に印加された内蔵リードを駆動で制止して成る半導体装置であって、駆動制止部の一端部に、それぞれのリードの底面の一端がレジンにより埋め込まれ、その埋め込まれたりード底面が半導体チップとの電気的接続部をなし、それぞれリードの底面がレジンから露出し、その露出した底面が外蔵リードをなしていることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【底面上の利用分割】 本発明は、半導体装置に適用して有効な技術に属するものである。

## 【0002】

【技術の仕組】 本発明の半導体装置には、一端に内蔵リードと半導体チップをワイヤで接続したものとパンプで接続するものがあり、それら内蔵リードはともに半導体装置の制止駆動部の底面から突出した状態をなす。

## 【0003】

【発明が解決しようとする課題】 本発明者は、上記底面接続を実現した結果、以下の問題点を見いだした。

【0004】 既存の半導体装置を使用したシステム設計等のダウンサイ징において、半導体装置を構成する基板のサイズ等を縮小する必要がでてできた。このため、半導体装置のサイズを縮小する等の実現度を上げて基板サイズを縮小してきた。

【0005】 この半導体装置の縮小は、主に半導体チップの縮小によりなされたものであり、内蔵リードはその縮小の対象とはなっていなかった。

【0006】 このため、底面上の半導体装置の内蔵リードが占める面積は若干も縮小されはなされていないのが現状である。

【0007】 したがって、底面上の半導体装置における内蔵リードは、一端に半導体装置の制止駆動部の底面から突出した状態を行っていることから、その制止駆動部の底面から突出した内蔵リードの分だけ底面面積を占有する。底面面積における内蔵リードが大きいという弊病があった。

【0008】 本発明の目的は、半導体装置の底面面積における内蔵リードを縮小することが可能な構造を提供することにある。

【0009】 本発明の特徴からうしにその他の特徴と同様に、

内蔵部は、半導体装置の制止駆動部によって明らかになるであろう。

## 【0010】

【駆動制止駆動部の半導体装置】 本発明において駆動制止駆動部のうち、駆動部なしの底面を底面に駆動部なしの底面とし、

【0011】 半導体チップとそれに電気的に印加された内蔵リードを駆動で制止した半導体装置であって、内蔵半導体装置の制止駆動部の底面もしくは、上面から内蔵リードの一端を突出させる。

## 【0012】

【作用】 上記した半導体によれば、半導体チップとそれに電気的に印加された内蔵リードを駆動で制止した半導体装置であって、内蔵半導体装置の制止駆動部の底面もしくは、上面から内蔵リードの一端を突出させることにより、半導体装置の制止駆動部の占める底面内に内蔵リードが収まり、底面の内蔵リードの突出によって底面にとられたいた底面面積を縮小できるので、半導体装置の底面面積における底面面積を向上することが可能となる。

【0013】 以下、本発明の構成について、本発明とともに説明する。

【0014】 なお、実施例を説明するための全図において、同一部品を有するものは同一番号を付け、その通り番号の説明は省略する。

## 【0015】

【実施例】 図1は、本発明の一実施例である半導体装置の構造を説明するためのものである。

【0016】 図1に示した本実施例の半導体装置は、底面を駆動部であり、底面に左方側の駆動部からみた底面図、図2に底面側からみた底面図、図3に底面からみた半導体装置をそれぞれ示す。

【0017】 図1～図4において、1は内蔵リード部分、2はパンプ、3はチップ、4は駆動部止部、5は内蔵リード部分をそれぞれ示す。

【0018】 本実施例の半導体装置は、図1に示すように、リードに底面が凹りられており、内蔵リードとして構成する内蔵リード部分と内蔵リードとして構成する内蔵リード部分とからなる。

【0019】 このリードの底面は、リードの内蔵リード部分1をハーフエッチしたり、リードを底面に2倍以上引き伸ばすことによって形成される。

【0020】 駆動部止部4においては、内蔵リード部分1上に付けられた、外側に突出するパンプ2が付けられ、そのパンプ2を介して半導体チップ3と電気的に接続されている。なお、このときの内蔵リード部分1と半導体チップ3を半導体装置内に接続する手段として、半導体チップ3側にあらかじめ付けたパンプであってよい。また、ワイヤ等を用いてよい。

【0021】 そして、図2～図4に示した駆動部止部4から突出する内蔵リード部分1は、底面に接続する底面

それも。

〔0022〕これにより、女房、財産対止等の半基板から只出していたカムリードの分だけ、又はスペースを切り立めたたり、他の部品等の実装に取りあたりたりすることが可能となる。

〔0023〕次に、図5を用いて、本実用例の半基板上にリードフレームについて説明する。

〔0024〕図5において、3Aは大きめの半基板チップ、3Bは小さめの半基板チップ、2Aは大きめの半基板チップと内部リード部分を包含するパンプ、2Bは大きめの半基板チップと内部リード部分を包含するパンプをそれぞれ示す。

〔0025〕図5に示すように、本実用例の半基板上にリードフレームの配置は、フレームの中心付近から内部リードが斜め上に広がっている。

〔0026〕これにより、半基板上に示した異なるサイズの半基板チップである大きめの半基板チップ3Aを保持する場合でも、小さめの半基板チップ3Bを保持する場合でも、各半基板チップ3A、3Bのパンプ位置を内部リード1上の接続可能位置に変更し、その位置にパンプ2A、2Bを設けることで半基板チップ3A、3Bと内部リード部分1とを接続できる。このパンプ位置による内部リードと半基板チップとの実質的な接続はワイド端子では異なる実用性を有する。

〔0027〕すなわち、本実用例のリードフレーム一つで多個の半基板チップを適用できる。

〔0028〕次に、本発明の他の実用例を図6と図7に示す。

〔0029〕図6に示す半基板配置の例は、前述の図1に示した半基板配置の内部リード部分1と外部リード部分の配置をなくしたものであり、内部リードと外部リードを実用化したリードを設けてある。すなわち、本実用例によれば、リードの位置のはば2/3がレジンにより埋め込まれ、その埋め込まれたリード一端面(上面)が半基板チップとの電気的接続部をなし、一方、リードの位置のはば1/3がレジンから突出、その露出した側面部は実装基板への接続部子、つまりカムリードとなる。

〔0030〕これにより、実装内における基板とカムリードの接続部分の位置を両端でひととじし、角部化パッケージが可能となる。リードフレームに位置をつけることもよくなる。

〔0031〕図7に示す半基板配置の例は、前述の図1に示した半基板配置の半基板チップ1上に内部用フィン6を設け、半基板チップから見せらる側面を凸としてやるものである。

〔0032〕なお、本実用例は多方形型の半基板を用いてそれを取り上げたが正方型の半基板配置についても

可能である。

〔0033〕また、本実用例のCOL (CHIP ON LEAD) 基板の半基板配置は、基板からカムリードを只出させた例を取り上げたが、LOC (LEAD ON CHIP) 基板の半基板配置においては、上面からカムリードを只出させる。

〔0034〕したがって、半基板チップとそれに密着的に接続された内部リードを基板で封止した半基板配置であって、半基板配置の内部リードの底面もしくは、上面から内部リードの一部を只出させることにより、半基板配置の封止部底面の占める範囲内に外部リードが位置し、夜の内部リードの露出によって多分とされていた実装部は縮小できるので、半基板配置の基板実装における実用性を向上することが可能となる。

〔0035〕以上、本発明によってなされた発明を、前記実用例によづて実質的に説明したが、本発明は、前記実用例に用いられるものではなく、その實質を達成しない記載においても、次に記載であることはむだである。

〔0036〕

〔発明の効果〕 本件において表示される発明のうち代表的なものによって実現される効果を簡単に説明すれば、以下のとおりである。

〔0037〕半基板チップとそれに密着的に接続された内部リードを基板で封止した半基板配置であって、半基板配置の内部リードの底面もしくは、上面から内部リードの一部を只出させることにより、半基板配置の封止部底面の占める範囲内に外部リードが位置し、夜の内部リードの露出によって多分とされていた実装部を縮小できるので、半基板配置の基板実装における実用性を向上することが可能となる。

〔図1〕半基板の底面

〔図2〕本実用例の半基板配置の断面図である。

〔図3〕本実用例の半基板配置の断面図である。

〔図4〕本実用例の半基板配置の底面からみた半基板である。

〔図5〕本実用例の半基板配置におけるリードフレームの構造を説明するための図である。

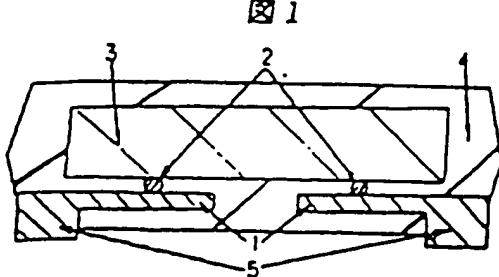
〔図6〕本実用例の他の実用例である半基板配置の構造を説明するための図である。

〔図7〕本実用例の他の実用例である半基板配置の構造を説明するための図である。

〔用語の説明〕

1…内部リード部分、2…パンプ、3…チップ、4…内部用フィン、5…外部リード部分、6…内部用フィン。

(図1)



(図2)

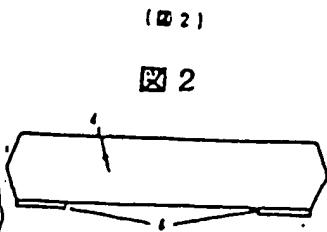


図2

(図3)

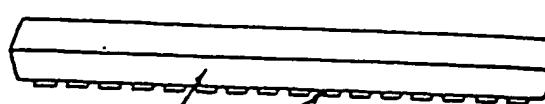


図3

(図4)

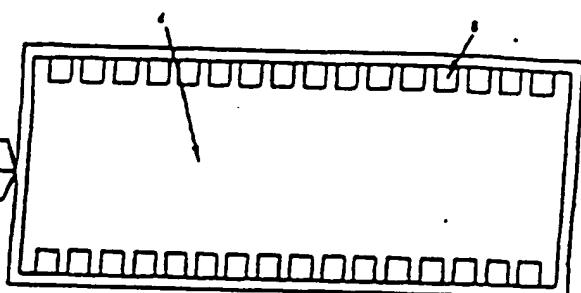


図4

(図5)

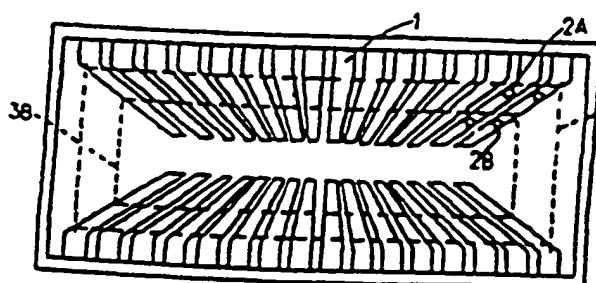


図5

(図6)

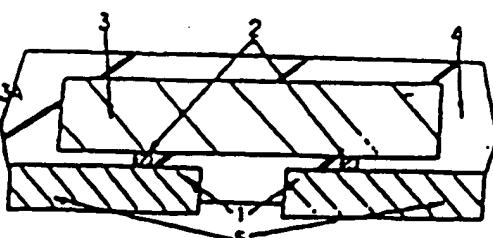


図6

(図7)

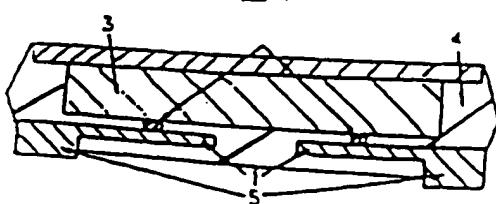


図7

フロントページの記述

(81) 100.01.

2001年 1月 内部監査用

F1

2001. 11/31

技術監査会所

(12) 見明者　角谷　哲郎

東京都小平市上木本町5丁目20番1号

株式会社日立製作所本研修室部内

(TITLE OF THE INVENTION)

Semiconductor Device

5

(CLAIMS)

1. A semiconductor device including a semiconductor chip, inner leads electrically connected to the semiconductor chip, and a resin encapsulate adapted to encapsulate the semiconductor chip and the inner leads, wherein each of the inner leads is partially protruded from a lower surface or an upper surface of the resin encapsulate.
- 15 2. The semiconductor device in accordance with claim 1, wherein the inner leads are electrically connected to the semiconductor chip by bumps, respectively.
- 20 3. A semiconductor device including a semiconductor chip, a plurality of inner leads electrically connected to the semiconductor chip, and a resin encapsulate adapted to encapsulate the semiconductor chip and the inner leads, wherein each of the inner leads is encapsulated at a portion of the thickness thereof while being exposed at the 25 remaining portion thereof in such a fashion that it has an

5        encapsulated main lead surface serving as an electrical connection to the semiconductor chip, and an exposed main lead surface positioned opposite to the encapsulated main lead surface, the exposed main lead surface serving as an outer lead.

[DETAILED DESCRIPTION OF THE INVENTION]

[FIELD OF THE INVENTION]

10       The present invention relates to a technique effective if applied to semiconductor devices.

[DESCRIPTION OF THE PRIOR ART]

15       In conventional semiconductor devices, a semiconductor chip is typically connected with inner leads by means of wires or bumps. Such a semiconductor device has a structure in which outer leads are laterally protruded from an encapsulate.

[SUBJECT MATTERS TO BE SOLVED BY THE INVENTION]

20       After reviewing the prior art, the inventors have found the following problems. A down-sizing of recent system appliances using semiconductor devices has resulted in a requirement to reduce the size of circuit boards on which semiconductor devices are mounted. To this end, 25       attempts to reduce the size of semiconductor devices have

been made in order to achieve an improvement in the mounting efficiency of circuit boards resulting in a reduction in the size of those circuit boards.

5 In most cases, such a reduction in the size of semiconductor devices have been achieved by reducing the size of semiconductor chips. For such a reduction in the size of semiconductor devices, outer leads have not been the subject of interest. That is, there has been no attempt to reduce the area occupied by outer leads of a 10 semiconductor device on a circuit board. Since conventional semiconductor devices have a structure in which outer leads are laterally protruded from a resin encapsulate, they have a mounting area increased by the area of the outer leads laterally protruded from the resin encapsulate. As a result, the conventional semiconductor devices involve a problem in that the mounting efficiency 15 thereof on a circuit board is degraded.

20 An object of the invention is to provide a technique capable of improving the mounting efficiency of a semiconductor device on a circuit board.

Other objects and novel features of the present invention will become more apparent after a reading of the following detailed description when taken in conjunction 25 with the drawings.

25

**(MEANS FOR SOLVING THE SUBJECT MATTERS)**

A representative of inventions disclosed in this application will now be summarized in brief.

30 In a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, each of the

inner leads is partially protruded from a lower surface or an upper surface of the resin encapsulate.

5 For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.

10 15 Now, the present invention will be described in detail in conjunction with embodiments thereof.

15 20 In the drawings associated with the embodiments, elements having the same function are denoted by the same reference numeral, and repeated description thereof will be omitted.

#### [EMBODIMENTS]

Fig. 1 is a view illustrating a semiconductor device having a structure according to an embodiment of the 25 present invention. The semiconductor device according to the embodiment of the present invention shown in Fig. 1 has a rectangular structure. Fig. 2 is a side view of the semiconductor device when viewed at the shorter side of the rectangular structure. Fig. 3 is a side view of the 30 semiconductor device when viewed at the longer side of the rectangular structure. Fig. 4 is a plan view of the semiconductor device when viewed at the bottom.

In Figs. 1 to 4, the reference numeral 1 denotes

inner lead portions, 2 bumps, 3 a chip, 4 a resin encapsulate, and 5 outer lead portions, respectively.

As shown in Fig. 1, the semiconductor device of the present embodiment includes leads having a stepped lead structure. Each lead has an inner lead portion 1 serving as an inner lead, and an outer lead portion 5 serving as an outer lead.

The stepped lead structure can be obtained by half-etching the inner lead portions 1 of the leads. 10 Alternatively, the stepped lead structure may be obtained by bonding two lead sheets to each other in such a fashion that they define a step therebetween, and then cutting the bonded lead sheets.

Within the resin encapsulate 4, bumps 2, which may be 15 made of, for example, solder, are provided on the inner lead portions 1, respectively. Through these bumps 2, the inner lead portions are electrically connected to the semiconductor chip 3. Bumps previously provided at the semiconductor chip 3 may also be used as means for 20 electrically connecting the inner lead portions 1 to the semiconductor chip 3. Alternatively, wires may be used.

As shown in Figs. 2 to 4, the outer lead portions 5, which are protruded from the resin encapsulate 4, are 25 mounted on a circuit board or the like while being in surface contact with the circuit board. Accordingly, it is

possible to reduce the mounting space of the semiconductor device by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices. Otherwise, this area may be used to 5 mount other elements.

Now, a lead frame included in the semiconductor device according to the present embodiment will be described in conjunction with Fig. 5.

In Fig. 5, the reference numeral 3A denotes a larger 10 semiconductor chip, 3B a smaller semiconductor chip, 2A bumps for coupling inner leads to the larger semiconductor chip, and 2B bumps for coupling the inner leads to the smaller semiconductor chip, respectively.

As shown in Fig. 5, the lead frame of the 15 semiconductor device according to the present embodiment has a structure in which inner leads extend radially around an area near the center of the lead frame. Accordingly, any one of the semiconductor chips having different sizes, that is, the larger semiconductor chip 3A and smaller 20 semiconductor chip 3B indicated by phantom lines, can be connected with the inner lead portions 1 by shifting each pad position of the semiconductor chip 3A or 3B to a position where the semiconductor chip 3A or 3B can be connected to the inner leads 1, and providing a bump 2A or 25 2B at the shifted position. The electrical connection

1-3-405

between the inner leads and the semiconductor chip obtained by use of bumps as mentioned above provides an useful effect which cannot be expected in the case using wire connection. That is, one lead frame, which is configured 5 in accordance with the present embodiment, can be applied to a variety of semiconductor chips.

Referring to Figs. 6 and 7, other embodiments of the present invention are illustrated, respectively.

In a semiconductor device according to the embodiment 10 of Fig. 6, there is no step between the inner and outer lead portions 1 and 5 of each lead, as compared to the semiconductor device of Fig. 1. In this case, the semiconductor device includes leads each serving as both the inner and outer leads. In accordance with this 15 embodiment, about 2/3 of the thickness of each lead is encapsulated by resin. One main surface of each lead, namely, the encapsulated main surface (upper surface), serves as an electrical connection to the semiconductor chip. About 1/3 of the thickness of each lead is exposed 20 from the resin. The other main surface of each lead, namely, the exposed main surface, serves as a connection terminal to a mounting circuit board, for example, an outer lead.

In accordance with such a structure, it is possible 25 to secure the area, where the outer leads can be connected

to the circuit board, upon the mounting of the semiconductor device. Furthermore, a thin package can be produced. In accordance with this embodiment, it is also unnecessary to provide a stepped lead structure for the lead frame.

5 In a semiconductor device according to the embodiment of Fig. 7, radiation fins 6 are provided on the semiconductor chip 3 shown in Fig. 1 in order to radiate heat generated from the semiconductor chip 3.

10 Although the above embodiments have been described as being applied to rectangular semiconductor devices, they may also be applied to square semiconductor devices. Also, the above embodiments have been described as being applied to a semiconductor device having a COL (Chip On Lead) structure to protrude outer leads thereof from the lower surface of the encapsulate. In the case of a semiconductor device having an LOC (Lead On Chip) structure, outer leads thereof are protruded from the upper surface of the encapsulate.

15 20 For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface

of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.

Although the preferred embodiments of the invention have been disclosed for illustrative purposes, those skilled in the art will appreciate that various modifications, additions and substitutions are possible, without departing from the scope and spirit of the invention as disclosed in the accompanying claims.

[EFFECTS OF THE INVENTION]

Effects obtained by a representative one of the inventions disclosed in this application will now be described in brief.

For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.